

音频嵌入 SDI 的 FPGA 实现

商庆华¹, 于忠辉¹, 周春雷², 孙彦蓉¹

(1. 哈尔滨理工大学 电气与电子工程学院, 黑龙江 哈尔滨 150040; 2. 大连科迪视频技术有限公司, 辽宁 大连 116023)

摘要: 由于视频信号和音频信号的处理方式、传输通路方式不同, 视音频信号出现了不同的延时, 导致声音与图像不同步. 为有效解决上述问题, 设计了一种基于 FPGA 的多功能视音频信号转换系统, 该系统在完成主电路、控制电路和外围接口电路设计的基础上, 采用软件编程, 将数字音频信号嵌入到 SDI 视频信号当中, 实现了视音频信号同路传输, 在实际应用中取得良好的效果.

关键词: 串行数字接口; 音频; 视频; 现场可编程逻辑阵列

中图分类号: TP183 **文献标志码:** A **文章编号:** 1007-2683(2010)01-0015-04

The Accomplishment of Embedding Audio Signal into SDI by FPGA

SHANG Qing-hua¹, YU Zhong-hui¹, ZHOU Chun-lei², SUN Yan-rong¹

(1. School of Electrical and Electronic Engineering, Harbin University of Science and Technology, Harbin 150040, China;

2. Dalian Co-Edifice Video Technology Co. Ltd, Dalian 116023, China)

Abstract: As the processing and transmitting of the video and audio signal in different ways, the video and audio signals have different delay time, and the sound and image are asynchronous. In order to solve the problem effectively mentioned above, a video-audio signal conversion system based FPGA is proposed in this paper, in which main circuits, control circuits and the peripheral I/O interface are designed, and software is adopted to embed the digital video signals into SDI audio signal, so the video and audio can transmit in the same way. This technique achieves good results in practical application.

Key words: SDI; audio; video; FPGA

0 引言

在模拟电视时代, 分路传输的视频及音频信号基于模拟信号在时间上的连续性这一特点, 基本上不存在声音与画面的迟滞. 进入数字时代后, 由于视频信号和音频信号的处理方式、传输通道方式的不同, 使视音频信号出现不同的延时, 产生了声音与图像不同步的现象^[1-2]. SDI (Serial Digital Interface 串行数字接口) 接口是目前演播室数字

电视节目制作系统中应用最广的接口, 主要用在非线性编辑系统、视频服务器、虚拟演播室、以及数字切换矩阵和数字光端机等^[3]. 在数字视频制作播出系统中, 常常要将符合 AES/EBU 标准的数字音频信号在时分复用的情况下嵌入到数字视频 SDI 信号中以保持在视频信号切换, 传输及特技加工后的视音频同步, 相对于传统的增加音频矩阵以及音频延时器的处理方法, 节省了大量的设备开销, 提高了信号质量^[4]. 本文详细描述了音频嵌入 SDI 的 FPGA 实现方案.

收稿日期: 2009-09-28

作者简介: 商庆华(1958—), 男, 教授, E-mail: wulihuase@126.com;

于忠辉(1980—), 男, 硕士.

1 硬件设计与实现

本系统由3个部分组成,前端音频视频信号处理模块,FPGA 音频嵌入模块以及后端信号输出驱动模块。

由于输出的 SDI 信号主要用于广播电视行业,其专业级的指标要求,必须确保输出信号有高稳定性与可靠性。在对信号进行均衡以及时钟恢复,解扰及串并转换,以及后端的输出驱动的处理过程中,均选择美国国家半导体公司的集成电路芯片,这样做可以最大限度的保证各相关模块的兼容性,有利于提高系统的稳定性,降低信号的抖动。音频嵌入模块采用属于 SOPC 的 FPGA 技术,灵活性与可重用程度高,便于日后的改进升级。系统的硬件结构如图1所示。

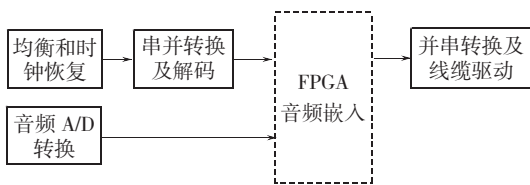


图1 系统架构图

视频信号通道:同轴电缆中传输的 SDI 信号通过 BNC 接口连接到系统中,首先对其进行均衡以及时钟恢复,以降低传输过程中信号在线缆中产生的损耗,改善输入信号质量。接下来将处理后产生的差分信号对经阻抗匹配后输入到解码芯片,进行解扰处理,经串/并转换后产生符合 SMPTE292M/259M 标准的 20/10bit 的并行数据,将此数据送入到 FPGA 中。

音频信号通道:模拟音频信号通过三端压线方式接入到系统,首先经过运算放大器滤除信号中的噪声增大信号强度,接下来将信号送入 A/D 芯片进行音频信号的模数转换,把产生的数字信号送入 FPGA。

FPGA 在接收到两路信号后,通过软件编程将符合 AES/EBU 格式的数字音频嵌入到视频信号的行消隐区域,从而实现视音频信号合二为一,在同一条信道里传输。后端的线缆驱动芯片将嵌入了音频的 SDI 信号驱动后输出。

1.1 视频输入通道

SDI 信号通过同轴电缆经 BNC 接口输入到均衡以及时钟恢复芯片 CLC034,在信号输入引脚连接 75 Ω 对地电阻进行阻抗匹配。信号经过长距离的传输后在线缆中会产生损耗,经过均衡以及时钟恢复

处理后,信号质量得到明显的改善。芯片对输入信号处理后产生一对差分输出信号,在两条差分线之间串接 100 Ω 电阻平衡线间阻抗,将此差分信号连接到 CLC031 进行解码及串并转换。

CLC031 采用 +3.3 V 以及 +2.5 V 电压供电,需要注意的是不同供电电压的上电顺序, +2.5 V 电源要晚于 +3.3 V 电源供电,因此在 +2.5 V 电源稳压块的输出端增加一个大容量电容,使得电压延缓输出。另外芯片需外置 27 MHz 的晶振为内部像素时钟生成电路中的 PLL 提供基准时钟。该芯片的引脚除 VCLK 以及 ACLK 外,在内部均有下拉电阻,因此没有使用的引脚直接悬空处理即可。将格式转换后产生的 20/10bit 并行数据,行频、场频以及像素时钟等信号引入 FPGA 当中。该模块电路如图2所示。

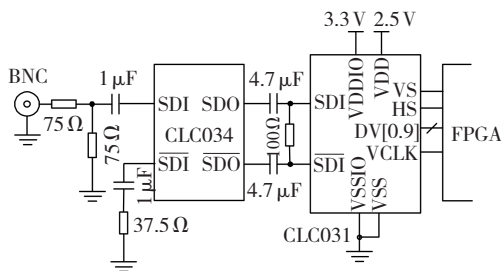


图2 视频通道电路

1.2 音频输入通道

模拟的平衡输入音频信号通过三端压线接口连接到系统之中。使用 NE5532 双运算放大器芯片,配以相应的阻容元件,构成双通道反馈二阶低通滤波电路。模拟信号通过滤波电路后输入到 CS5361 芯片进行模数转换,将产生的符合 AES/EBU 标准的数字音频信号引入到 FPGA 之中。该模块电路如图3所示。

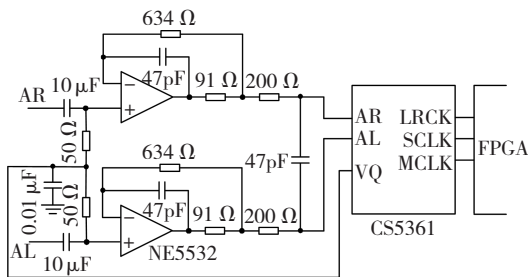


图3 音频通道电路

2 系统的软件设计与实现

2.1 嵌入式音频原理

在 SDI 视频格式的有效行中,行消隐期间采样

288 个字的数据. 数据传送过程中,每行的消隐期传送的数据是相同的,在标准中用“SAV”和“EAV”予以界定,其间放置 288 个字,作为辅助数据. 在辅助数据区,可用来传输数字音频等辅助数据信号. 辅助数据区的格式如图 4 所示.

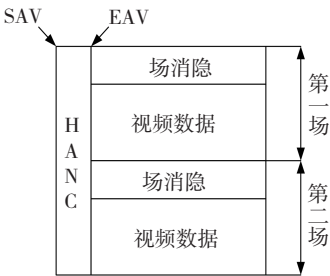


图 4 辅助数据区格式

在音频嵌入时,音频左、右声道分别映射成 3 个 10 比特的音频字,分别为 $X, X + 1, X + 2$. 一个辅助数据包最多可容纳 255 个 10 比特字. 在辅助数据包中,包头由 6 个状态字组成:分别为辅助数据包头标志(000,3FF,3FF)、辅助数据包类型(DID)、数据块号(DBN)、数据计数器(DC)、数据识别符 DID(一个字)用于区分不同类行的辅助数据包(与各音频通道对应的音频数据包,扩展数据包和音频控制包). 数据块序号 DBN(一个字)是可选用的计数,为辅助数据包提供顺序指令,使接收端确定数据是否丢失;接收端还可以通过 DBN 序号检测是否发生场消隐切换,使接收设备进行静音处理,除去瞬间的切换噪音. 数据计数 DC(一个字)用于指示本数据包中的用户数据量. 辅助数据包的末尾是一个字的校验位,用于本数据包的误码检错^[5-6]. 数据包结构如图 5 所示.

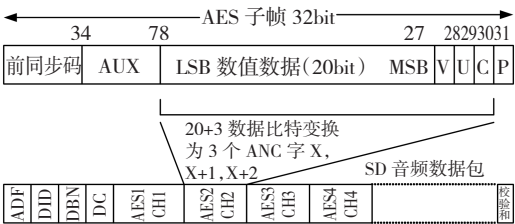


图 5 音频数据包结构

辅助数据信号以数据包的形式运载,每个包都带有自身的包头标识. 依据标准规定. 音频数据包含有 4 个音频通道的一个或多个音频样值. AES 的每个子帧中的 23 个比特(20 个音频比特再加上 C、U、V 比特)变换为 3 个 10 比特的视频字($X, X + 1, X + 2$),其结构如图 6 所示.

比特	X	X + 1	X + 2
B9	B8	B8	B8
B8	音频 5	音频 14	P*
B7	音频 4	音频 13	C
B6	音频 3	音频 12	U
B5	音频 2	音频 11	V
B4	音频 1	音频 10	音频 19(MSB)
B3	音频 0	音频 9	音频 18
B2	通道 1	音频 8	音频 17
B1	通道 2	音频 7	音频 16
B0	Z-比特	音频 6	音频 15

图 6 20bit 音频映射包

其中比特 9 总是比特 8 的逻辑非,以保证已除去的数值(3FFh 至 3FCh 或 003h 至 000h)不被使用,Z-bit 预置为“1”,它对应于 192 帧 AES 块的第一帧. 各个嵌入音频的通道基本上是独立的,因此把每个通道中 Z-bit 预置为“1”,即使它们均来自于同一 AES 源. C、U 和 V bit 是由 AES 信号变换而来的,不过,它们的奇偶检验位(P*)不是 AES 的奇偶检验位(P). 数据字 $X + 2$ 中的 Bit-8(P*)是所有 3 个字中 0~8 比特的偶校验^[7].

数字音频嵌入到数字视频流其过程即为视、音频数据流经时分复用而形成一组视频流输出的过程. 首先,系统接收由电缆均衡器所均衡的 270MHz 串行数据通过串并转换模块将视频流转换成 27MHz 的 10 比特体并行数据,送入 FPGA 准备嵌入音频^[8]. 接下来,模拟音频经过 A/D 转换产生符合 AES/EBU 格式的数字音频,此信号由异步 FIFO 缓冲输出. 根据 SMPTE272M 标准一帧视频数据嵌入 1 920 个音频样点. 例如 625 行视频则每行嵌入数为 $1\,920 \div 625 = 3.072$ 个音频样点,即有些行要嵌入 3 个样点,有些行要嵌入 4 个样点. 流出 FIFO 的数字音频经过音频映射打包后流入 FPGA 音频嵌入模块^[9].

2.2 FPGA 的实现算法

使用 Altera 公司的 Cyclone II 系列的 EP2C5Q208 芯片,其片内有 4 608 个逻辑单元,2 个 PLL,119 808bit 的 RAM. EP2C5 是 SRAM 构架的 FPGA, FPGA 的逻辑功能定义保存在 SRAM 上. SRAM 仅能在保证供电时正确保存数据,因此还需 Flash ROM 配置芯片 EPCS1 把配置数据保存在 FPGA 片外.

音频嵌入的算法如下:前级电路送入的 10bit 并行数据首先进入视频格式检测模块,辨别出每一行信号的 SAV, EAV 以及 HANC 的起始位置. 经滤波及模数转换后的音频信号送入位宽为 56bit,深度为 32 个字的 FIFO 中,此 FIFO 的读写时钟由视频格式检测模块提供,以便在不同的行辅助数据区准确的

嵌入数据. FIFO 缓冲后输出的数据进入到音频映射打包模块,按照前文提及的格式规范进行处理,将左右声道的音频包分别放到 RAM 中进行缓冲暂存. 嵌入音频模块在并行时钟 PCLK 的作用下,将暂存的数据包嵌入到视频信号的行辅助数据区. 完成了音频嵌入的视频信号送入加扰模块,把数据转换为 NRZI(反转不归零码),降低传输过程中的误码率,此信号经并串转换后送入到后端线缆驱动输出,至此完成了 SDI 信号的音频嵌入. 软件流程图如图 7 所示.

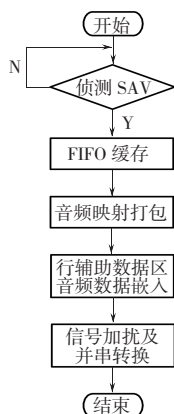


图7 软件流程图

本文在 QUARTUS II 9.0 环境下对音频嵌入部分进行了时序仿真,如图 8 所示.

其中 in 为没有嵌入音频的输入视频流,outA 为嵌入已打包的音频的视频流. 从图 8 中可以看到,音频嵌入从 EAV(3FF,000,000,2D8) 之后开始,首先是音频数据包头(000,3FF,3FF,2FF,001,224),嵌入的音频数据为(2CA,148,2F3,1A7,21A,12B).

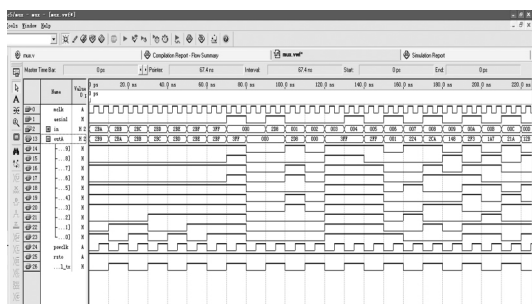


图8 视频格式检测时序仿真图

利用 FPGA 内置的 PLL,将并行时钟 PCLK 作为主时钟,经 PLL 处理后产生音频主时钟 MCLK,左右声道的数据时钟 LCLK,RCLK. 采用此方法很好地解决了不同时钟间的相位同步问题,提高了系统的稳定性.

嵌入了音频的 SDI 信号经线缆驱动芯片 CLC007 驱动后输出,此举增强了信号的幅度,确保在同轴电缆长距离传输后接收端仍能接收到符合规范的信号.

3 结 语

本文基于 FPGA,将数字音频信号嵌入到 SDI 视频信号之中,有效的解决了音视频不同步的问题,结构简单,稳定性好. 由于 FPGA 具有较大的设计灵活性,对数据的擦除、修改,以及声道交换只需更改代码,无需改变电路结构,节省了成本.

参 考 文 献:

- [1] 倪宁宁. 音频的嵌入技术与应用 [J]. 广播与电视技术, 2005 (11): 3-4.
- [2] 余丽清. 近年来我国 SDI 的研究述评 [J]. 现代情报, 2006 (6): 10-12.
- [3] 王明祥. 数字视频信号及其并行/串行系统的比较 [J]. 广播与电视技术, 2000 (6): 103-104.
- [4] 陈革辉, 李 微. 基于 FPGA 数字音频嵌入的 IP 核设计 [J]. 信息技术, 2008 (8): 2-3.
- [5] 于建华. 电视广播中的音频嵌入技术 [C]. 中国电影电视技术学会影视科技论文集, 2002: 172-180.
- [6] 陈国武. 电视播出系统中的音频嵌入技术 [J]. 电视字幕(特技与动画), 2004 (10): 41-42.
- [7] 庞 维. 基于 FPGA 的数字音频系统的设计 [D]. 吉林: 吉林大学, 2006.
- [8] 赵宇玲. 基于 FPGA 的信号采集与处理系统设计与实现 [D]. 南京: 南京理工大学, 2008.
- [9] 杨 帆. 基于 FPGA 的 SDI 接口的研究与开发 [D]. 天津: 天津理工大学, 2008.

(编辑: 温泽宇)